



AC7840x 硬件设计指南

文档版本: 0.4
发布日期: 2024-03-14

© 2013 - 2024 杰发科技

本文档包含杰发科技的专有信息。未经授权，严禁复制或披露本文档包含的任何信息。
由于产品版本升级或其他原因，本文档内容会不定期进行更新。

修订记录

版本	日期	作者	修订说明
0.1	2022-02-25	Autochips	文档初版
0.2	2023-11-14	Autochips	删除表 2-1 LQFP176 列内容 更新 8.1GPIO 输入电路设计说明 更新表 6-3, 6-4 数据
0.3	2023-12-05	Autochips	修改表 6-3 数据及增加表 6-4 注释 修改 8.1GPIO 输入电路设计 standby 模式说明
0.4	2024-03-14	Autochips	修改 8.1GPIO 输入电路设计说明 (增加不能超压端口)

文档目录

修订记录	2
文档目录	3
插图目录	5
表格目录	6
1 概述	7
2 AC7840x 电源引脚和电路设计	8
3 外部时钟振荡器电路设计	10
4 外部复位电路设计	11
4.1 RESET_b 脚复位电路设计	11
4.2 复位参考电路	11
5 ADC 模拟输入电路设计	12
6 ADC 采样时间与外部输入阻抗	13
7 ACMP 模拟比较器电路设计	14
8 GPIO 输入电路设计注意事项	15
8.1 GPIO 输入电路设计	15
8.2 GPIO 输入电路设计参考电路	15
9 PWM 用于 HALL 或正交编码检测注意事项	17
10 调试接口电路设计	18
11 其他	19
11.1 未用到的 I/O pin 脚处理	19
11.2 LIN 接口注意事项	19
12 PCB 设计建议	20
12.1 电源部分 PCB 设计建议	20
12.2 晶振电路 PCB 设计建议	21
12.3 PCB 走线建议	22
12.4 PCB 接地建议	22
12.5 EMI/EMC and ESD considerations for layout	23

12.6 PCB layer stacking 24

12.7 Injection current 24

Confidential
autochips
no disclosure

插图目录

图 2-1 电源电路参考设计	9
图 3-2 晶振参考电路	10
图 4-3 复位参考电路	11
图 5-4 Shielding of analog signals	12
图 7-5 ACMP 电路设计示意图	14
图 8-6 GPIO 输入电路设计参考电路	16
图 10-7 SWD 口参考电路	18
图 12-8 旁路电容 PCB 参考设计	20
图 12-9 外部晶振 PCB 参考设计	21
图 12-10 PCB 走线参考设计	22
图 12-11 消除浮动金属/形状	23
图 12-12 Recommended PCB layer stack-up	24

表格目录

表 2-1 AC7840x 电源引脚名称、分布及功能描述	8
表 3-2 外部晶振参数及负载电容	10
表 6-3 R_{IN} 计算公式符号定义	13
表 6-4 T_S 对应 ADC R_{IN} MAX for $f_{ADC}=30MHz$	13
表 10-5 JTAG 与 SWD 接口信号描述	18

1 概述

在进行嵌入式系统设计时，硬件电路设计的好坏不仅关系到整个系统的功能实现和可靠性，还会对系统软件的复杂程度产生影响。本章节以 AC7840x 芯片为对象，介绍采用 AC7840x MCU 进行最小系统硬件设计时，需要了解的一些硬件设计注意事项和设计原则。

2 AC7840x 电源引脚和电路设计

AC7840x 支持 2.7~5.5V 宽电压输入，为了提供稳定的电源，芯片使用多组电源引脚分别为数字电路、IO 引脚驱动、AD 转换电路等供电，并且提供多处电源引出脚，便于用户外接滤波电容，改善系统的电磁兼容性。

表 2-1 AC7840x 电源引脚名称、分布及功能描述

引脚名称	功能描述	电压	引脚号(LQFP144)	引脚号(LQFP100)	引脚号(LQFP64)	
电源输入	VDD	Supply voltage	5V/3.3V	11/32/51/67/91/124	10/38/61/87	7/41
	VDDA	Analog supply voltage	5V/3.3V	13	11	8
	VREFH	ADC reference voltage High	5V/3.3V	14	12	9
	VSS	Supply Ground	GND	12/16/31/50/66/90/123	14/37/60/86	10/40
	VREFL	ADC reference voltage low	GND	15	13	/

VDD 为 MCU 电源供电引脚，要求在靠近 VDD 电源一端放置一个容值稍大的旁路电容（10uF 陶瓷电容），同时每对 VDD 和 VSS 引脚分别单独放置一个去耦电容（0.1uF 陶瓷电容）。旁路或去耦电容的放置必须尽量靠近 MCU 电源引脚，从而最大限度地缩小 VDD 和 VSS 引脚之间的电容所形成的环路。

VDDA 是芯片内部模拟电路电源输入引脚。为使芯片的模拟外设稳定的电源，要求在靠近 VDDA 引脚的地方连接两个外部的去耦电容（10uF 陶瓷电容+0.1uF 陶瓷电容）。

VREFH 为 ADC 外部参考电压输入引脚，通常连接于 VDDA 电源即可，可靠近该引脚加一个去耦电容（0.1uF 陶瓷电容）。当需要通过该引脚额外输入基准源时，建议靠近 VREFH 与 VREFL 引脚连接两个外部去耦电容（1uF 陶瓷电容+0.1uF 陶瓷电容），VREFL 必须接地（有些小封装无此引脚，内部默认接地处理），VREFH 输入电压范围为 2.7V~VDDA。

注：MCU VDDA 不能单独做掉电处理，与 VDD 供电电压差应小于±0.3V。

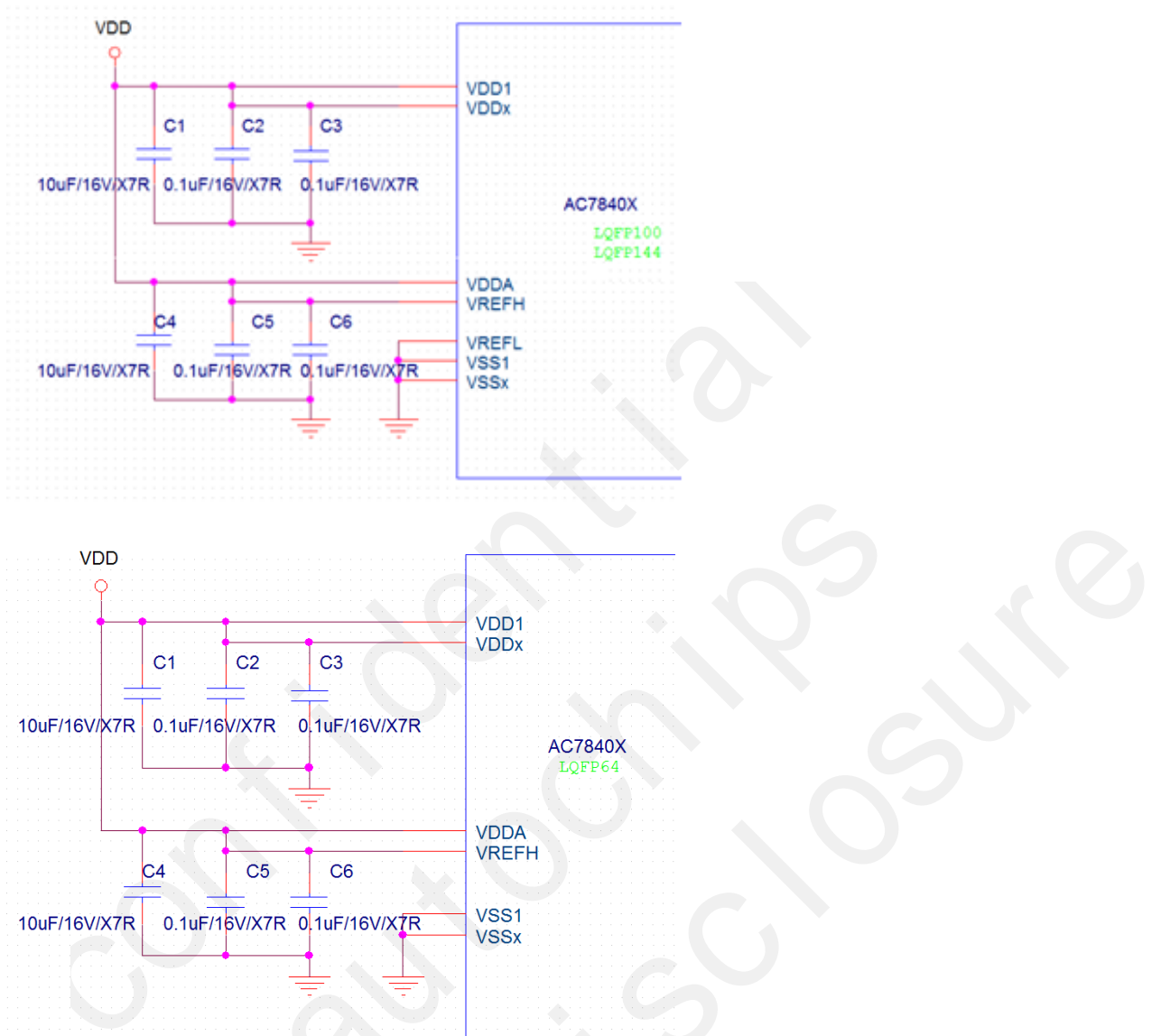


图 2-1 电源电路参考设计

- VDD 和 VDDA 在板上需连接到同一个供电电源
- 所有的去耦电容都需要使用 X7R 类型的低 ESR 值陶瓷电容，电容值建议是 0.1 μF
- 为了使电源引脚有更好的性能，建议使用 10 μF 、0.1 μF 和 1 nF 电容并联形成退耦网络
- 所有的退耦电容都必须尽可能地靠近相应的电源和地引脚放置

3 外部时钟振荡器电路设计

XOSC_IN (PB7) 及 XOSC_OUT (PB6) 脚可用于连接外部高速晶体，当需要使用外部时钟信号或采用有源晶振时请将时钟信号输入到 XOSC_IN (PB7) 脚，XOSC_OUT (PB6) 脚悬空即可。

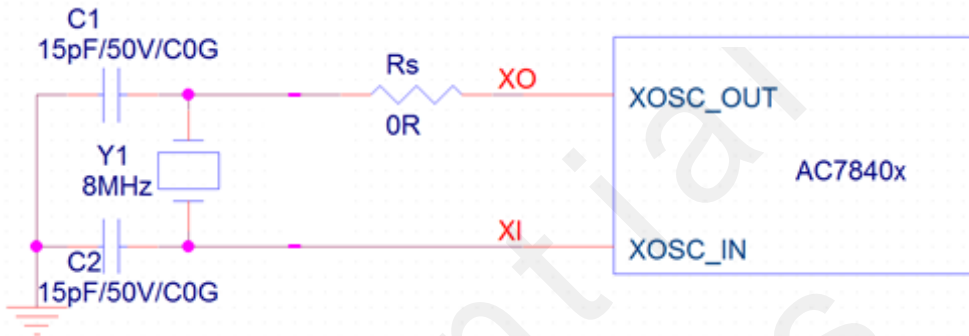


图 3-2 晶振参考电路

表 3-2 外部晶振参数及负载电容

符号	描述	最小值	典型值	最大值
Y1	石英/陶瓷晶振	4MHz	—	30MHz
Rs	串联电阻，可用于激励功率的调整	—	0Ω	—
C1, C2	晶振负载电容	参见注释		

注释: 对于 C1 和 C2，推荐使用为高频率应用设计、满足晶振需求的高质量外部陶瓷电容。C1 和 C2 通常大小相同。在确定 C1 和 C2 的大小时，需要考虑可能存在的寄生电容。通常有： $CL=Cs+[C1 \times C2 / (C1 + C2)]$ ，Cs 为 PCB 和 MCU 引脚寄生电容（5 pF 可作为寄生电容的粗略估计），CL 为晶体规格书要求的晶体负载电容，可由晶体厂家规格书查得。通常有： $C1=C2=2 \times (CL-Cs)$ 。为了更好的评估晶体选用是否 OK，建议将 PCB 板给到晶体厂家进行频偏、激励功率、负阻等参数测试。

4 外部复位电路设计

4.1 RESET_b 脚复位电路设计

RESET_b (PA5) 为 MCU 复位引脚 (内部带有弱上拉, 低电平复位), 用于复位和重启 MCU 所有的模块。在噪声或强干扰环境下需要在 RESET 引脚与 VDD 之间增加一个外部上拉电阻 (47K/10K) & 并联一个 100nF 电容, 以免发生意外复位。同时在 PCB 设计中, 复位引脚走线不宜过长。

在某些情况下, 为了更好的进行 ESD 保护, 也可以在 RESET 引脚上串接一个 100R 电阻。

4.2 复位参考电路

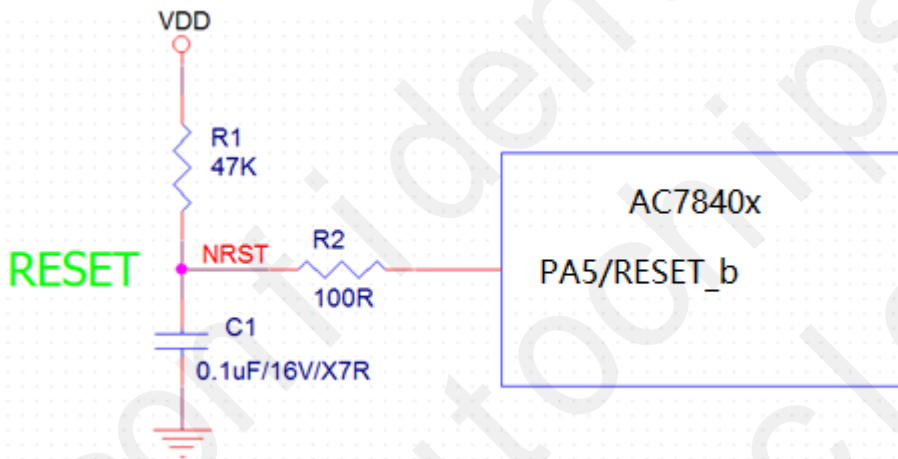


图 4-3 复位参考电路

5 ADC 模拟输入电路设计

AC784x 中有 2 个相同的 SAR ADC 模块，分辨率为 12bit，拥有 24 路外部通道。该 ADC 支持模拟监控器功能，可以监测输入电压是否超出设定的电压范围，并可在超出范围时发出中断通知应用程序。

ADC 通道的电压检测范围为 0V~VDDA。当外部输入模拟电压大于 MCU VDDA 电压时（如车用模块电源电压范围通常有 9V~16V 或 18V~32V），需要增加前端电阻分压电路或钳位电路等以保证在全电压范围内给到 MCU ADC 通道的电压不大于 VDDA 电源电压，同时建议在 MCU ADC 通道前端增加 RC 低通滤波器可以更好的滤除干扰。

对模拟输入而言，需要考虑源阻抗和采样时间，尤其是对于高分辨率模数转换。常规思想是：快速采样时间与慢速采样时间相比，要求更小的电容值和输入阻抗。

- AD 通道的布线要尽量短
- 尽量将数字部分和模拟部分的电源分开，并分区覆铜，保证模拟地和数字地只在一个点结合，而且这个点要求远离干扰，有时会选用一个磁珠连接
- 走线周围避免放置高噪声元器件，在模拟通道外围使用模拟地进行隔离（如下图）
- 要想得到特别准确的采样结果，一般推荐在输入端加一些 Buffer/跟随运放

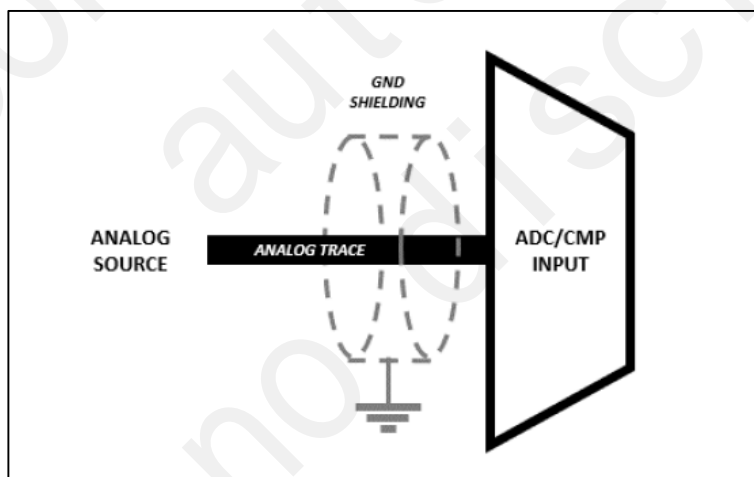


图 5-4 Shielding of analog signals

6 ADC 采样时间与外部输入阻抗

由于外部信号源阻抗或串接与 MCU pin 脚之间的电阻 (R_{IN}) 会产生压降，导致采样保持电容需要更长的充电时间，所以通常更大的外部输入阻抗 (R_{IN}) 要求更长的采样时间 (T_s)。

输入源阻抗与采样时间关系应满足公式： $R_{IN} < T_s / (f_{ADC} * C_{ADC} * \ln(2^{N+2})) - R_{ADC}$ ，式中 N 为 ADC 的位数，ADC 采样时长需满足 1/4LSB 的建立精度，式中未考虑 PAD 端的寄生电容。

表 6-3 R_{IN} 计算公式符号定义

Symbol	Parameter	Value	Unit
R_{IN}	输入源阻抗		
R_{ADC}	采样开关电阻	Max 3.1	K Ω
C_{ADC}	内部采样电容	Typ 2.4	pF
f_{ADC}	ADC 时钟频率	Max 30	MHz
N	ADC 位数	12/10/8	Bit
T_s	ADC 采样周期		cycles

表 6-4 T_s 对应 ADC R_{IN} MAX for $f_{ADC}=30$ MHz

T_s (cycles)	MAX (R_{IN}) K Ω ^{[1][2]}
5	4.056
10	11.212
15	18.369
23	29.819
35	46.994
45	61.306
85	118.556
185	261.680

[1]:上表 $R_{IN}MAX$ 值为 $R_{ADC}=3.1k$, $C_{ADC}=2.4pF$, $f_{ADC}=30MHz$, $N=12bit$ 时按上面公式计算等到的理论数值，未考虑寄生电容影响，仅供电路设计时参考。

[2]:如果允许 ADC 精度误差大于 1/4LSB, R_{IN} 可以适当增加。

7 ACMP 模拟比较器电路设计

AC7840x MCU 系列提供 8CHS 可选的 ACMP 的外部输入通道，由于 MCU 引脚之间可能存在感性/容性耦合及相邻 PCB 走线之间可能存在串扰。高速接口或任何 GPIO 的切换可能会给 ACMP 输入带来噪声干扰。为了避免和减轻高频噪声和任何耦合，在硬件电路设计时建议 ACMP 模拟比较器输入信号阻抗为 50K 或更低（如下图）。

- ACMP 通道的布线要尽量短
- 走线周围避免放置高噪声元器件，在模拟通道走线外围使用模拟地进行隔离

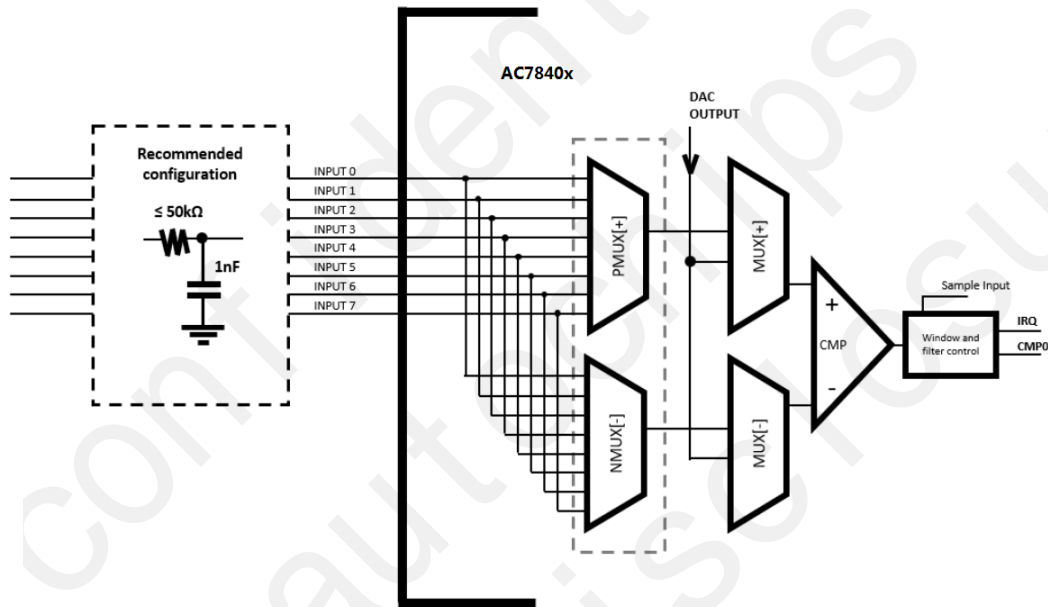


图 7-5 ACMP 电路设计示意图

8 GPIO 输入电路设计注意事项

8.1 GPIO 输入电路设计

由于内部电路设计特性差异，AC7840x 部分 IO 口使用应注意不能存在超压现象。PB13、PE7、PA11、PA12、PD6 输入电压应保证在 0~VDD 范围内，避免超压影响内部电路造成功能异常。

对于功耗要求比较严的场合，可采用 AC7840x 的 Standby 模式^{[3][4]}，该模式仅支持部分 IO 口唤醒，在硬件设计时需要注意，避免进入 Standby 模式后外部信号不能唤醒 MCU。

[3]: a. standby 模式仅 AC78408/9 支持，见 AC7840x 参考手册定义；

b. standby 模式 – 仅支持 15 个 GPIO (PA12, PB0, PB1, PB12, PD3, PC2, PC3, PC6, PC7, PC16, PC17, PD6, PD7, PE4, PE5) 或 RTC 来唤醒，保留 32K SRAM 数据。

[4]: a. 硬件需要将唤醒源输入 IO 改到 [1]b 中 15 个 GPIO 口上 (包含 CAN 或 LIN 唤醒的也是需要接到这 15 个里面带 CAN_RX, 或 UART_RX 功能 pin 上)；

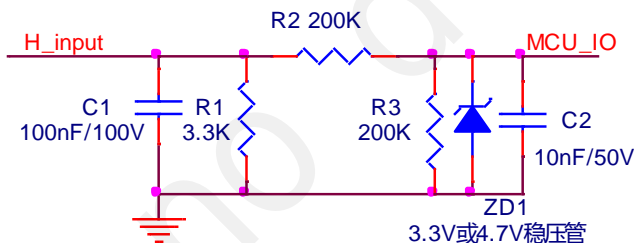
b. standby 模式下，[1]b 中 15 个 GPIO 及 PA7 可软件配置为内部上/下拉 (典型值 45k, 无输出功能)，可通过内部上/下拉保持 IO 口 H/L 电平状态；

c. 其他 IO 口均为 high_z 状态，对有使用到的 io 口需要增加外部上/下拉电阻 (如 10k) 保持 IO 口 H/L 电平状态。

同时为保证 MCU 能可靠识别到高低电平，当 MCU 供电 VDD 为 5V 时，请保证输入到 MCU IO 口上的信号高电平电压 V_{IH} 不小于 $0.65xV_{DD}$ ，低电平电压 V_{IL} 不大于 $0.35xV_{DD}$ 。当 MCU 供电 VDD 为 3.3V 时，请保证输入到 MCU IO 口上的信号高电平电压 V_{IH} 不小于 $0.7xV_{DD}$ ，低电平电压 V_{IL} 不大于 $0.3xV_{DD}$ 。车用模块 (12V 或 24V 供电) 常用 H/L 开关信号输入电路如下图 8-6 所示，供参考。

8.2 GPIO 输入电路设计参考电路

高有效开关信号输入，有效时接BAT+，常态为悬空



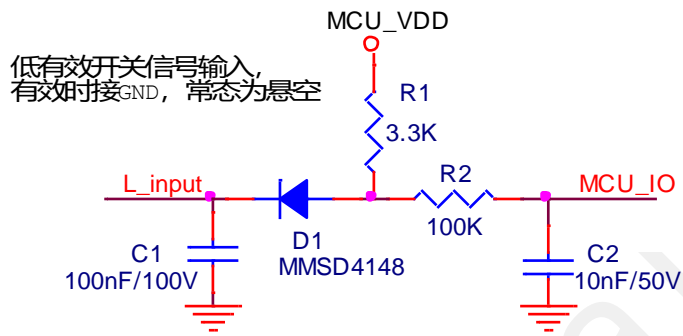


图 8-6 GPIO 输入电路设计参考电路

9 PWM 用于 HALL 或正交编码检测注意事项

在直流无刷电机的应用中，PWM 模块可用于 HALL 信号或正交编码器信号检测。HALL_A/B/C 或正交编码 A/B/Z 的输入对应为 PWMx_CH0~2 功能引脚，此时对应 PWM 模块的 PWMx_CH3~7 的 PWM 功能禁止使用（引脚可配置为其他功能）。

当使用 ACMP 获取到无传感电机的 HALL 位置时（通过电机反电动势检测电机转子所在位置），ACMP 的 HALL_A/B/C 输出功能内部映射到 PWM2_CH0~2，此时 PWM2_CH0~CH7 的 PWM 功能也将禁止使用（可以将 PWM2_CH0~7 的引脚配置为其他功能使用）。

10 调试接口电路设计

AC7840x MCU 同时支持 JTAG 接口和 SWD 接口进行编程调试。

除电源外，JTAG 接口需要用到至少 5 个 PIN 脚（TCK、TDI、TDO、TMS、RESET）。串行线调试接口(SWD)最少只需要 3 个 Pin 脚（SWD_CLK、SWD_DIO、RESET）。其中 RESET 为 MCU 系统复位信号，可不接。当需要使用仿真器对 MCU 进行复位时建议接上。

两者相比，SWD 在高速模式下更稳定，使用引脚更少，所以在使用过程中建议使用 SWD 接口。电路设计可参照下图所示。

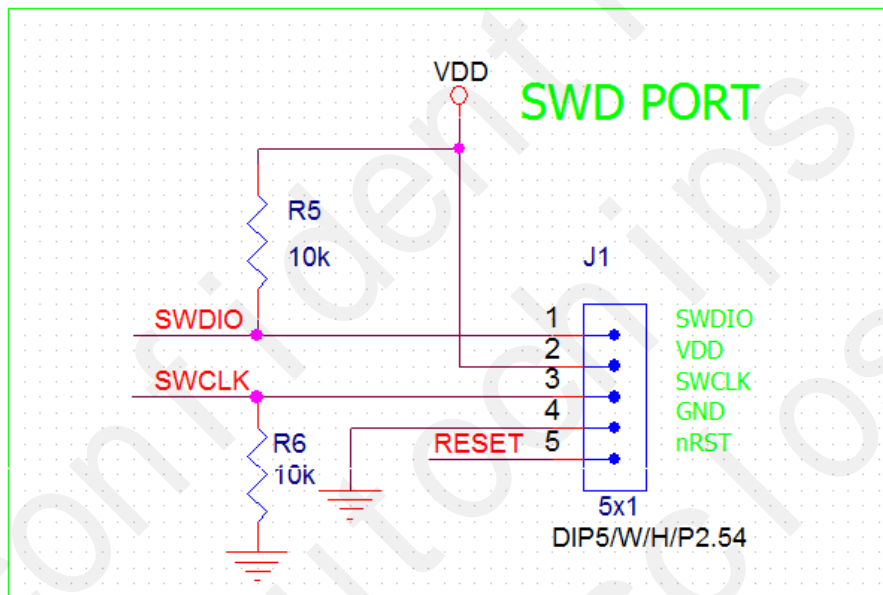


图 10-7 SWD 口参考电路

表 10-5 JTAG 与 SWD 接口信号描述

JTAG Mode	SWD Mode	Description	MCU Port	Recommendation	I/O Power Domain
TDI	-	JTAG Test Data Input	PC5	Pull-Up	VDD
TMS	SWD_DIO	JTAG Test Mode Select/Serial Wire Debug Data I/O	PA4	Pull-Up	
TCK	SWD_CLK	Clock into the core	PC4	Pull-Down	
TDO	-	JTAG Test Data Output / SWV trace data output (SWO)	PA10	Pull-Up	
RESET	RESET	Reset MCU	PA5	Pull-Up	VSS
GND	GND	Ground	VSSx	-	

注：为了增加与调试器连接的稳定性建议对 JTAG&SWD 信号增加外部上/下拉电阻

11 其他

11.1 未用到的 I/O pin 脚处理

未用到的 I/O pin 不建议浮空，最好应将应用中不使用的 I/O 引脚配置为输出低电平状态。这样还可以尽可能减少电流消耗，或提升 EMC 性能。

11.2 LIN 接口注意事项

AC7840x 所有 UART 均支持 LIN 功能，如需要用到 LIN 通讯功能，请将 LIN 收发器 TX 与 RX 放置到 UARTx_TX 与 UARTx_RX 功能 pin 上面。

12 PCB 设计建议

12.1 电源部分 PCB 设计建议

为 MCU 添加的退耦和旁路电容器的效果在很大程度上取决于连接位置和顺序，如下图所示。

PCB 布局中 MCU 电源引脚（VDD 和 VSS）的准则如下：

- 将电源引出的电源和接地走线依次连接到退耦电容器、旁路电容器以及 MCU 的 VDD 和 VSS 引脚
- 并行排布电源和接地走线，以最小化环路面积
- 将旁路电容器排布在尽量靠近每个 VDD-VSS 对的位置
- 另外在 PCB layout 过程中应尽量保证 MCU 下方接地平面的完整性，以更好的提升 EMC 性能

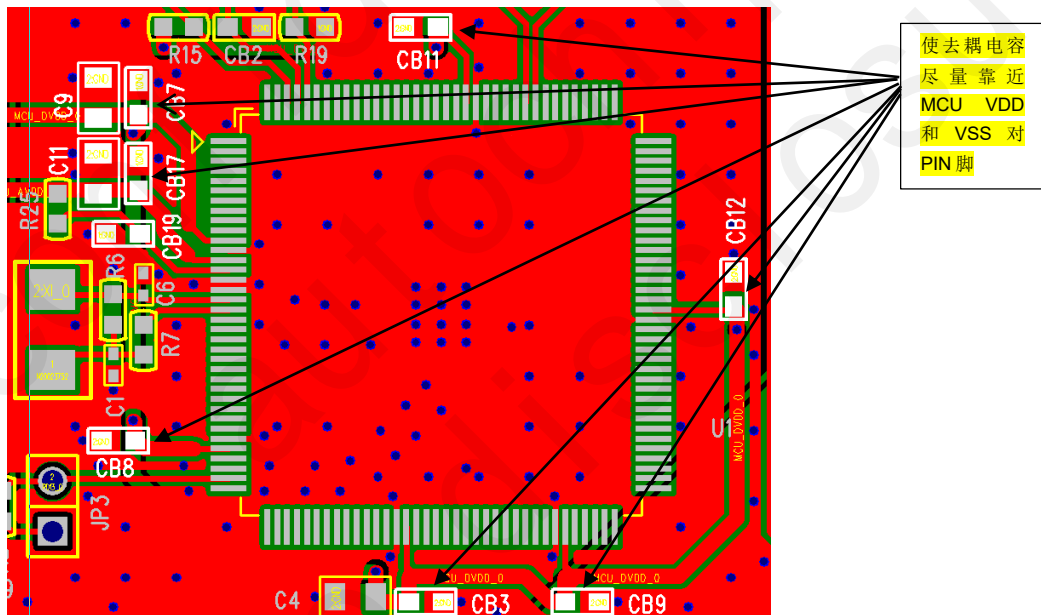


图 12-8 旁路电容 PCB 参考设计

12.2 晶振电路 PCB 设计建议

- 晶体和负载电容需要尽可能近地靠近 MCU 的引脚，以减小输出失真和启动稳定时间
- 晶振在 PCB 的布局应靠近 MCU 且不能放置在板边，避免板级振动影响晶振。考虑 EMI 问题，晶振下部不建议走任何种类的信号线。
- 晶体及其负载元件周围应放置一个接地防护环，防止安装层上的相邻信号发生串扰。此防护环可以从晶体引脚相邻的 VSS 引脚起始

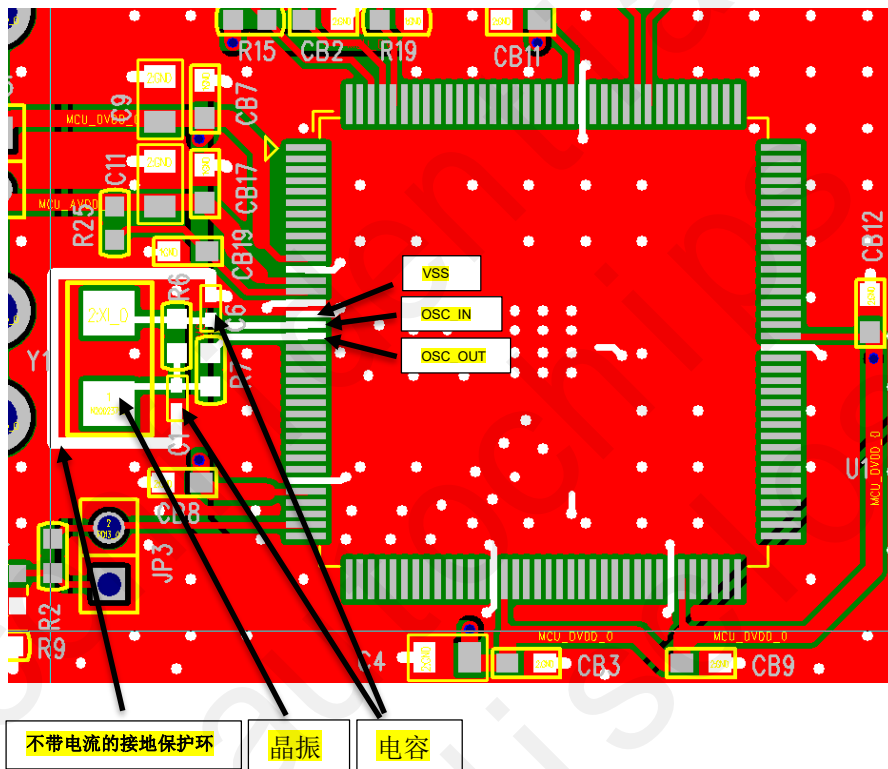


图 12-9 外部晶振 PCB 参考设计

12.3 PCB 走线建议

- PCB 走线应避免采用直角走线，直角走线会使传输线的线宽发生变化，造成阻抗的不连续而走线阻抗的变化对信号产生反射，产生更多的电磁辐射。可以采用 45°或圆弧方式进行 PCB 走线（如下图所示）
- 为了最小化串扰，不同信号层之间的走线也应尽量避免平行走线，可将它们走成彼此垂直（90°）的方式。复杂的板在布线时在使用 Vias 时候也要小心，Vias 会增加额外的电容和电感，同时由于特性阻抗的变化而产生的反射，Vias 也增加了跟踪长度。而在走差分信号时，可在两根走线中同时使用 Vias 或补偿另一根走线中的延时

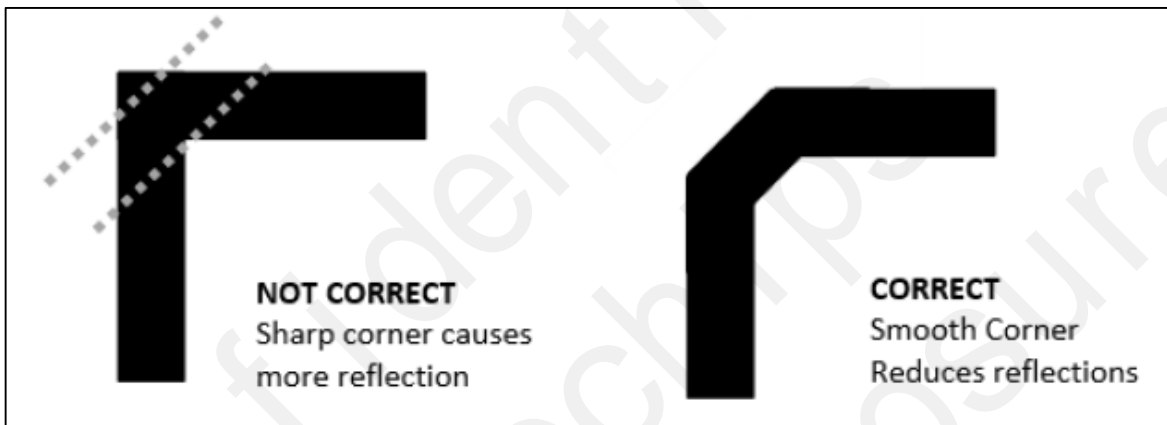


图 12-10 PCB 走线参考设计

12.4 PCB 接地建议

接地适用于多层和单层 pcb 板。接地的目的应使接地阻抗最小化，从而降低接地回路从电路回到电源的电压降。

- 高速信号的走线建议在完整的地平面上面进行走线
- 对于模拟、数字和电源引脚，不要将接地分割成单独的平面，建议采用单面连续接地
- 在微控制器管脚附近的任何区域都不应该有任何形式的浮动金属/形状，在信号面未使用的区域填充铜，并通过 vias 将铜与地平面连接（如下图所示）

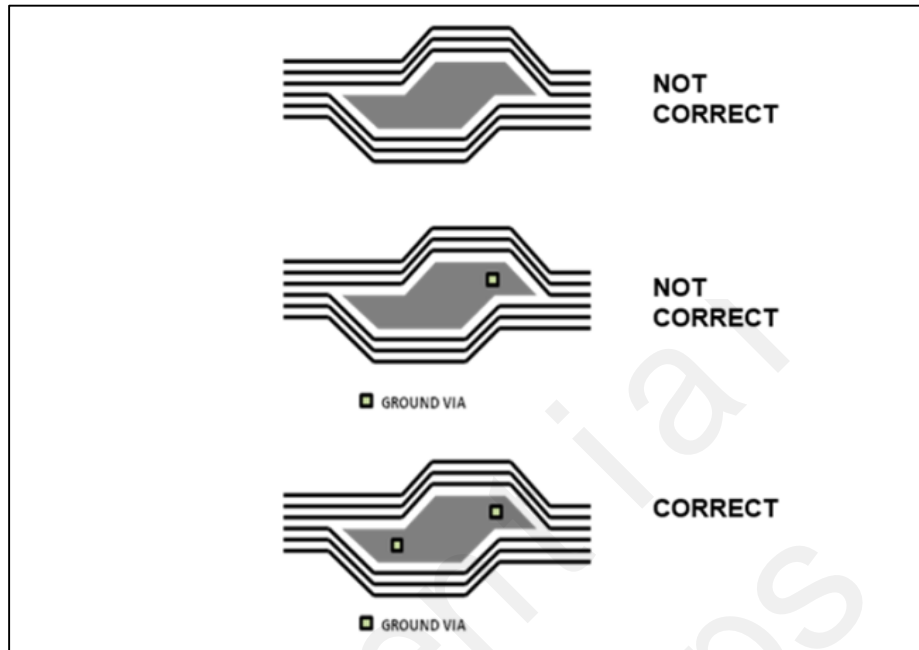


图 12-11 消除浮动金属/形状

12.5 EMI/EMC and ESD considerations for layout

系统的电磁干扰源由 PCB、连接器、电缆等部件组成。PCB 是辐射高频噪声的主要原因。在更高的频率和快速开关电流和电压下，PCB 走线成为辐射电磁能量的有效天线。例如，一个大的信号环路和相应的地平面。主要辐射源有传播数字信号的 PCB 走线、电流环路、电源滤波或去耦不足、传输线效应、电源和接地不合理。快速开关时钟，外部总线和 PWM 信号用作控制输出和开关电源。电源是造成 EMI 的另一个主要因素。射频信号可以从板的一个部分传播到另一个部分产生 EMI。开关电源辐射能量可能无法通过 EMI 测试。

每个电路板或系统在 EMI/EMC 和 ESD 问题上都是不同的，需要有自己的解决方案。但是，减少不必要的电磁能量产生的一般准则如下：

- 确保应用中电源是额定的并通过解耦电容器进行优化
- 在电源上提供足够的滤波电容器，旁路和解耦电容器尽量采用低等效串联电感(ESL)的电容器
- 如果 PCB 层叠上有可用空间，可创建接地平面，将地区域连接到该接地平面
- 尽可能减小电流环路面积，添加尽可能多的去耦电容器
- 保持高速信号远离其他信号，特别是远离输入和输出端口或连接器

12.6 PCB layer stacking

为了达到信号完整性和性能要求，或在采用两层 PCB 没办法达到性能要求时建议使用四层 PCB 来实现系统要求。下面的层堆叠推荐用于四层板。

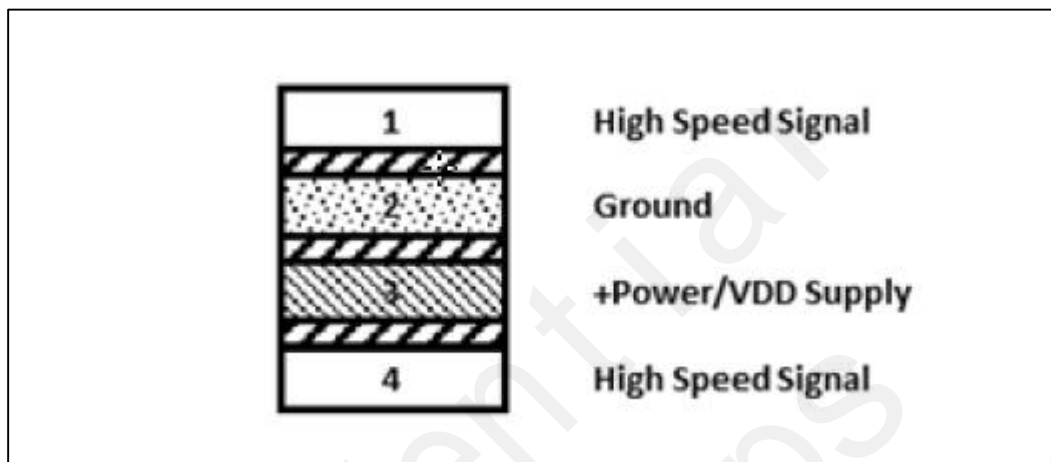


图 12-12 Recommended PCB layer stack-up

12.7 Injection current

MCU 所有的引脚都带有防静电放电(ESD)的保护二极管。在许多情况下，数字和模拟引脚都需要连接到高于 MCU 工作电压的电压上。

微控制器的内部 ESD 二极管仅设计用于短放电脉冲，它们不能长时间保持恒定的电流。因此，在直流电参数中指定了其上下限的最大连续电压，并且最大输入电压不应高于 $VDD + 0.3 V$ ，并且还应当按照 datasheet 中的定义限制电流注入的大小，即输入信号的电压和电流必须在允许的电参数范围内。违反这些规范会导致 MCU 工作异常或损坏。